

Germany-Frankfurt (Oder): Laboratory, optical and precision equipments (excl. glasses)

OJ S 162/2015 22/08/2015

Contract award notice

Supplies

Directive 2004/18/EC

Section I: Contracting authority

I.1. Name and addresses

Official name: IHP GmbH – Leibniz-Institut für innovative Mikroelektronik

Postal address: Im Technologiepark 25

Town: Frankfurt (Oder)

Postal code: 15236

Country: Germany

Contact person: Beschaffung

For the attention of: Frau Sophie Rohner

E-mail: rohner@ihp-microelectronics.com

Telephone: +49 3355625359

Fax: +49 335562525359

Internet address(es):

Electronic access to information: <http://vergabemarktplatz.brandenburg.de/VMPCenter/>

I.2. Type of the contracting authority

Other: Forschung und Entwicklung

I.3. Main activity

Other: Forschung und Entwicklung

I.4. Contract award on behalf of other contracting authorities

The contracting authority is purchasing on behalf of other contracting authorities: no

Section II: Object of the contract

II.1. Description

II.1.1. Title

SRAM generator development using the IHP-SG13S technology.

II.1.2. Type of contract and place of performance or delivery

Supplies

Purchase

Main site or place of performance: IHP GmbH – Leibniz-Institut für innovative Mikroelektronik, Im Technologiepark 25, 15236 Frankfurt (Oder).

NUTS code DE411 Frankfurt (Oder)

II.1.3. Information about a framework agreement or a dynamic purchasing system (DPS)

II.1.4. Short description of the contract or purchase(s)

Lieferung:

1. SRAM-Generator, der für jede SRAM-Instanz folgende Daten erzeugt:

1.1. Timing- und Power-Modelle (.lib) für 3 Charakterisierungs-Eckwerte;

- 1.2. Verilog Simulationsdaten (mit Timing) sowie Testbench;
- 1.3. Abstract-Daten (.lef);
- 1.4. Layout GDSII (.gds), DRC- und LVS-Tests fehlerfrei;
- 1.5. LVS-Netzliste (.cdl);
- 1.6. Cadence DF2 Datenbank (.oa) mit übersichtlich lesbaren Schaltplänen;
- 1.7. Datenblatt und physikalische Zuordnung der Bitpositionen (.txt).
2. Testchip-Design mit repräsentativen SRAM-Instanzen (Single- und Dualport).
3. Testspezifikation sowie nach den im IHP durchgeführten Tests den abschließenden Bericht zum Nachweis der spezifizierten Parameter.
4. SRAM-Generator Dokumentation.
5. SRAM-Generator Anwenderhandbuch Hauptmerkmale der generierten SRAM's.
 1. SRAM Design-Schnittstelle:
 - 1.1. Synchrones Design;
 - 1.2. Getrennte Spannungsversorgung für Vdd und Vdd_array;
 - 1.3. Grundsätzlich „high-aktive“ Eingangs- und Ausgangssignale;
 - 1.4. Unidirektionale Datenleitungen;
 - 1.5. Dualport-Option mit zwei unabhängigen Lese-/Schreib-Ports;
 - 1.6. Optionale BIST- (built-in-self-test) Schnittstelle als RTL-Wrapper.
 2. Charakterisierungs-Eckwerte (Betrieb):
 Ecke Langsam Typisch Schnell Einheit;
 VDD 1.08 1.20 1.32 V;
 Temperatur 125 25 -55 °C;
 Modell ss tt ff.
 3. Leistungswerte (Beispiel-SRAM: 64k x 16 bit):
 - 3.1. Voraussetzungen:
 - 3.1.1. Dual-/Singleport: Singleport;
 - 3.1.2. Charakterisierungs-Eckwert: Typisch;
 - 3.1.3. Ausgangslast: 0,15 pF;
 - 3.2. Taktfrequenz # 250 MHz;
 - 3.3. Zugriffszeit (CLK -> DOUT) # 2 ns;
 - 3.4. Leistungsaufnahme Lesen/Schreiben # 30 µW/MHz;
 - 3.5. Standby-Leistung Vdd_core (ME = 0) # 15 µW.
 4. Layout-Regeln:
 - 4.1. Nutzbare Metalllagen M1 - M4;
 - 4.2. Mögliche Metalllagen über SRAM > M4 (keine SRAM-Beeinflussung).
 5. Beschreibung der Eingangs-Pins (alle „high-aktiv“):
 - 5.1. CLK Takteingang;
 - 5.2. ADDR Adresseingang;
 - 5.3. DIN Dateneingang;
 - 5.4. BM Optioneller Bitmaskeneingang (selektiert Bits für Schreibzugriff);
 - 5.5. ME Speicher-Freigabeeingang (nicht freigegeben -> „Schlaf“-Mode);
 - 5.6. WE Schreib-Freigabeeingang;
 - 5.7. RE Lese-Freigabeeingang (Schreib+Lesefreigabe -> „Write-through“);
 - 5.8. BE Optioneller BIST-Freigabeeingang (aktiviert die BIST-Schnittstelle).
 6. Beschreibung der Ausgangs-Pins (alle „high-aktiv“):
 - 6.1. DOUT Datenausgang, keine Hochimpedanz-Abschaltung;
 - 6.2. BUSY Optioneller Ausgang für Konflikt-Management.
 7. Beschreibung der Versorgungsspannungs-Pins:
 - 7.1. VDD Core-Logik Spannungsversorgung;
 - 7.2. VDD_ARRAY Speicher-Array Spannungsversorgung;

- 7.3. (ermöglicht Datenhaltung bei abgeschalteter VDD-Spannung);
- 7.4. VSS Core-Logik Spannungsmasse;
- 7.5. VSS_ARRAY Speicher-Array Spannungsmasse.
- 8. Konflikt-Controller (TBD – ersetzt z. B. durch RTL-Wrapper):
 - 8.1. Verhindert verfälschte Daten während gleichzeitiger Lese-/Schreibzugriffe von/auf gleiche Speicheradressen;
 - 8.2. Generiert BUSY-Signal einschließlich „wait state(s)“ um gleichzeitige Zugriffe zu managen;
 - 8.3. Der erste Zugriff gewinnt und verzögert automatisch den zweiten Zugriff (TBD).
- Konfigurationsmöglichkeiten des SRAM-Generators:
 - 1. Auswahl SRAM-Kapazität: 1 – 2048 kbit.
 - 2. Auswahl Wortbreite: 4 – 138.
 - 3. Auswahl Seitenverhältnis: Auswahl-Optionen angeboten durch Generator-Software (abhängig von SRAM-Kapazität und Wortbreite).
 - 4. Portauswahl: single/dual.
 - 5. Konflikt-Controller yes/no (nur möglich für die Option: Dualport).
 - 6. Leistungsauswahl: niedrige Verlustleistung/hohe Geschwindigkeit (höhere Geschwindigkeiten nur mit kleineren Speichern, gruppiert mittels „RTL-Wrapper“).
 - 7. Auswahl Bit-Maske: yes/no.
 - 8. Auswahl BIST-Schnittstelle: yes/no („RTL-Wrapper“ für BIST-Option ausreichend).
- SRAM Timing-Diagramme (TBD).
 - 1. Timing Schreibzugriff;
 - 2. Timing Lesezugriff;
 - 3. Gleichzeitiges Schreiben + Lesen („write through“, Singleport);
 - 4. Gleichzeitiges Schreiben + Lesen („write through“, Dualport mit gleichem Takt und gleicher Adresse);
 - 5. Konfliktmanagement (2 Ports mit gleicher Adresse und asynchronem Takt bzw. unterschiedlicher Taktfrequenz).
- 1 Design eines SRAM-Generators entsprechend der „Technischen Spezifikation“. Gemeinsam vereinbarte Änderungen sind während der Projekt-Laufzeit möglich.
- Eingeschlossen sind ein Jahr Wartung, sämtliche Fehlerkorrekturen sowie technische Unterstützung.
- Leistungsnachweis durch:
 - SRAM-Generator GUI für Linux und Windows OS;
 - Design-Bibliothek der generierten SRAM's, einschließlich Timing- und Power-Charakterisierung;
 - Vollständige Dokumentation des SRAM-Generators einschließlich aller genutzten Quellen in Englischer Sprache;
 - Testbench und Dokumentation der Simulations-ergebnisse im Vergleich zur Spezifikation. Ausschließlich die aktuellen Simulationsmodelle des IHP dürfen benutzt werden;
- 2 Testchip-Design zur Bewertung des SRAM-Generators (Pos. 1) mittels generierter und repräsentativer SRAM-Instanzen.
- Leistungsnachweis durch:
 - Design-Bibliothek des Testchips, einschließlich fehlerfreier DRC- und LVS-Layouttests;
 - Bereit zum Tape-out am 9.12.2015;
 - Testspezifikation entsprechend den IHP-Regeln;
 - Dokumentation Testchip-Simulationsergebnisse.
- 3 Messungen und Bewertung des Testchips (pos. 2).
- Es wird die Teilnahme an den Tester-Messungen im IHP angeboten.
- Leistungsnachweis durch:
 - Bewertung und Dokumentation der Messergebnisse sowie der Vergleich mit der

Spezifikation.

— Ergebnisse wurden gemeinsam als „erfolgreich“ bewertet.

II.1.5. CPV code(s)

38000000 Laboratory, optical and precision equipments (excl. glasses)

II.1.6. Information about the Government Procurement Agreement (GPA)

The procurement is covered by the Government Procurement Agreement: no

II.2. Total value of the contract/lot

II.2.1. Total value of the contract/lot

Value: 430 000 EUR

excluding VAT

Section IV: Procedure

IV.1. Type of procedure

IV.1.1. Type of procedure

Open

IV.2. Award criteria

IV.2.1. Award criteria

The most economically advantageous tender in terms of

IV.2.2. Information about electronic auction

An electronic auction has been used: no

IV.3. Administrative information

IV.3.1. File reference number attributed by the contracting authority

IHP-2015-SY-011

IV.3.2. Previous publication concerning this procedure

no

Section V: Award of contract

Contract No: 1

V.1. Date of conclusion of the contract

V.2. Information about tenders

Number of tenders received: 1

Number of tenders received by electronic means: 0

V.3. Name and address of the contractor

Official name: RacylCs GmbH

Postal address: Graue-Press-Weg 11

Town: Radebeul

Postal code: 01445

Country: Germany

E-mail: contact@racyics.com

Telephone: +49 35183983923

Fax: +49 35183383946

Internet address: <http://www.racyics.com>

V.4. Information on value of the contract/lot

Total value of the procurement:

Value: 430 000 EUR

excluding VAT

V.5. Information about subcontracting

Section VI: Complementary information

VI.1. Information about European Union funds

The procurement is related to a project and/or programme financed by European Union funds:
no

VI.2. Additional information

Weitere vorzulegende Nachweise:

Tariftreue (Mit dem Angebot mittels Eigenerklärung vorzulegen)

Bekanntmachungs-ID: CXSTYYDYYHA

Elektronischer Zugang zu den Vergabeunterlagen: <http://vergabemarktplatz.brandenburg.de/VMPCenter/>

IV.2.1) Zuschlagskriterien:

Verhältnis zwischen Leistung und Preis (Wertung der Leistung gemäß der nachfolgend aufgeführten Kriterien):

Kriterien; Gewichtung.

1. Angebotspreis; 50.

2. Funktionalität entsprechend Anforderungen in der Leistungsbeschreibung; 40.

3. Lieferzeitpunkt und Lieferungs- oder Ausführungsfrist; 10.

VI.3. Procedures for review

VI.3.1. Review body

Official name: Vergabekammer des Landes Brandenburg beim Ministerium für Wirtschaft und Europaangelegenheiten

Postal address: Heinrich-Mann-Allee 107

Town: Potsdam

Postal code: 14473

Country: Germany

Telephone: +49 3318661719

Fax: +49 3318661652

VI.3.2. Review procedure

VI.3.3. Service from which information about the review procedure may be obtained

Official name: IHP GmbH – Leibniz-Institut für innovative Mikroelektronik

Postal address: Im Technologiepark 25

Town: Frankfurt (Oder)

Postal code: 15236

Country: Germany

E-mail: rohner@ihp-microelectronics.com

Telephone: +49 3355625359

Fax: +49 335562525359

VI.4. Date of dispatch of this notice

10.8.2015